

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 21/336

(11) Publication No.: P2000-0010131

(43) Publication Date: 15 February 2000

(21) Application No.: 10-1998-0030878

(22) Application Date: 30 July 1998

(71) Applicant:

Hyundai Electronic Industries Co., Ltd.
San 136-1, Bubal-eup, Ichon-City, Kyunggi-do, Korea

(72) Inventor:

LEE, SANG WHAN

(54) Title of the Invention:

SOI Device

Abstract:

Provided is an SOI device. The SOI device includes an SOI substrate having a silicon substrate, a buried oxide layer, and an SOI body region. In the SOI body region, a transistor having a gate, source, and drain is formed. A body/substrate contact is formed spaced apart from both sides of the transistor so that the SOI body region contacts the silicon substrate.

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/336	(11) 공개번호 특 2000-0010131 (43) 공개일자 2000년 02월 15일
(21) 출원번호 10-1998-0030878	
(22) 출원일자 1998년 07월 30일	
(71) 출원인 현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1	
(72) 발명자 이상환 경기도 이천시 부발읍 아미리 현대임대아파트 107-206 송남형 경기도 이천시 부발읍 아미리 현대임대아파트 105-404 유연용 경기도 이천시 대월면 사동리 441-1 현대사원아파트 111-303	
(74) 대리인 신영무, 최승민	

설명문 없음

(54) 에스오마이 소자

요약

1. 청구범위에 기재된 발명이 속한 기술분야

본 발명은 에스오마이(SOI) 소자에 관한 것이다.

2. 발명이 해결하고자 하는 기술적 과제

SOI 소자에서 발생되는 부유 효과 및 소수 캐리어의 축적 등을 방지하여 소자의 내압 특성을 향상시키고자 한다.

3. 발명의 해결 방법의 요지

본 발명은 실리콘 기판, 매몰 산화층 및 에스오마이(SOI) 바디 지역으로 이루어진 에스오마이 기판이 제공되고, 상기 에스오마이 바디 지역에 게이트, 소오스 및 드레인으로 구성된 트랜지스터와, 상기 트랜지스터 양측의 상기 에스오마이 바디 지역내에 형성된 소자분리 영역과, 상기 소자분리 영역 부분에 상기 실리콘 기판과 상기 에스오마이 바디 지역을 동시에 콘택하도록 형성된 바디/기판 콘택을 포함하여 구성하므로서 내압 특성을 개선하고자 한다.

4. 발명의 중요한 용도

모든 반도체 소자.

내포도

도 1

생성식

도면의 간접적 설명

도 1은 본 발명에 따른 SOI 소자 구조의 한 예를 설명하기 위한 단면도.

도 2는 본 발명에 따른 SOI 소자 구조의 다른 예를 설명하기 위한 단면도.

〈도면의 주요 부분에 대한 부호 설명〉

- | | |
|--------------------|------------------|
| 1 및 31 : 실리콘 기판 | 2 및 32 : 매몰 산화층 |
| 3 및 33 : SOI 바디 지역 | 4 및 34 : 소자분리 영역 |
| 5 및 35 : 바디/기판 콘택 | 6 및 36 : 확산층 |
| 17 및 47 : 게이트 | 18 및 48 : 소오스 |
| 19 및 49 : 드레인 | 10 및 40 : SOI 기판 |
| 20 및 50 : 트랜지스터 | |

발명의 상세한 설명

발명의 목적

발명이 달성하는 기술과 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로서, 특히 바디/기판 콘택트를 이용하여 기판 부유 효과를 제거하고 소자의 내압을 증가시켜 내압 특성을 개선할 수 있는 에스오아이 소자에 관한 것이다.

에스오아이(SOI; Silicon On Insulator) 소자는 저전압, 고속소자로서 각광을 받고 있으나, 기판 부유 효과로 인하여 내압특성이 저하되는 단점이 존재한다. 박막 SOI N-채널 모스펫트(N-CH MOSFET)에서는 드레인 전압이 높을 경우 채널의 전자들이 드레인 근방에서 충돌 이온화에 의하여 전자-전공쌍을 생성할 정도의 큰 전계를 얻게 된다. 이에 의해 발생된 전자들은 채널과 드레인으로 흡수되고, 흡수된 전자는 드레인 전류에 흐르게 된다. 또한 발생된 전공들은 부유되어 있는 기판의 낮은 전위 부분으로 이동하기 때문에, 바디(body)에 전공들이 점점 증가되어 드레인 전류가 비정상적으로 증가되는데, 이러한 현상을 킹크 효과(Kink Effect)라고 한다.

SOI 소자의 특성 개선을 위하여 종래의 방식은 SOI 소자를 완전 공핍층에 형성한다. 또한 부분 공핍층에 형성할 경우, 백-채널(Back-Channel) 게이트를 형성하거나, 바디를 콘택트하여 바디의 전위를 고정시키거나, 미증 접합부(Hetero Junction)를 형성하여 기판 부유 효과를 제거하고 있다. 그러나, SOI 소자를 완전 공핍층에 형성하는 방식은 소자 형성 시 소자를 형성하는 SOI의 막 두께에 제한을 받는다. 또한 SOI 소자의 특성을 SOI막의 균일성(uniformity)에 따라 크게 변화하기 때문에 SOI막의 균일성이 나쁠 경우에 오동작을 발생시킬 수 있다.

한편, 백-채널 게이트를 형성하거나, 미증 접합부를 형성하는 방식은 SOI 구조 및 콘택트의 배치와 저항 문제 등이 잘 고려 되어야 한다. 또한 바디만을 접촉할 경우 채널 폭이 상당히 크고, 채널 길이가 길어 작을 경우 바디가 잘 접촉이 잘 되지 않아 기판 부유 효과가 발생할 수 있다. 그러나 바디와 기판이 접촉되었을 경우 기판 부유 효과를 제거하며, 문턱 전압도 백 바이어스(back bias)를 이용하여 자유로이 조절할 수 있으므로 설계상에 용통성을 높일 수 있다.

발명이 이루고자 하는 기술적 목표

따라서, 본 발명은 SOI 바디 지역과 실리콘 기판이 연결되도록 바디/기판 콘택트를 형성하여 기판 부유 효과를 제거하고 소자의 내압을 증가시키면서 내압 특성을 개선할 수 있는 SOI 소자를 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명은 실리콘 기판, 매몰 산화층 및 에스오아이(SOI) 바디 지역으로 이루어진 에스오아이 기판이 제공되고, 상기 에스오아이 바디 지역에 게이트, 소오스 및 드레인으로 구성된 트랜지스터, 상기 트랜지스터 양측의 상기 에스오아이 바디 지역내에 형성된 소자분리 영역 및 상기 소자분리 영역 부분에 상기 실리콘 기판과 상기 에스오아이 바디 지역을 동시에 콘택트하도록 형성된 바디/기판 콘택트를 포함하여 구성된 것을 특징으로 한다.

발명의 구조 및 작동

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 1은 본 발명에 따른 SOI 소자 구조의 한 예를 설명하기 위한 단면도이다. 실리콘 기판(1)상에 매몰 산화층(2) 및 SOI 바디 지역(3)이 순차적으로 형성되어 SOI 기판(10)을 형성한다. 상기 SOI 바디 지역(3)에 게이트(17), 소오스(18) 및 드레인(19)으로 구성된 트랜지스터(20)가 형성되고, 트랜지스터(20)의 양측부와 소정의 거리가 미격된 부분에 SOI 바디 지역(3)과 실리콘 기판(1)을 동시에 콘택트하는 바디/기판 콘택트(5)를 형성한다. 상기 SOI 바디 지역(3)내에 바디/기판 콘택트(5)과 일정 거리가 미격된 소자분리 영역(4)이 형성된다.

상기에서, 바디/기판 콘택트(5)이 접하는 실리콘 기판(1)에 콘택트의 저항을 줄이기 위한 확산층(6)을 형성 할 수 있다. 소자분리 영역(4)은 웰로우 트렌치(STI: Shallow Trench Isolation) 구조로 형성하거나, 로커스(LOCOS: Local Oxidation) 구조 또는 메사(mesa) 구조로 형성된다. 바디/기판 콘택트(5)내에는 폴리 실리콘이나 에피층이 형성된다.

이와 같은 구조에서, 확산층(6)은 모스펫트(MOSFET)의 소오스 및 드레인을 나타내며, 이 부분에 바디/기판 콘택트(5)를 형성하므로서 소수 캐리어를 축적시키지 않고 소오스 방향으로 전달시키며 기판 부유 효과를 제거하고 소자의 내압을 증가시키는 역할을 한다. 또한 본 구조에서는 바디/기판 콘택트(5)를 이용하여 문턱 전압을 변화시킬 수 있으며, 동시에 내압 특성을 개선할 수 있다. 그리고 설계시, 백 바이어스를 이용하여 문턱 전압을 제어할 수 있으므로 문턱 전압의 쉽게 마진이 커지게 된다.

도 2는 본 발명에 따른 SOI 소자 구조의 다른 예를 설명하기 위한 단면도이다.

실리콘 기판(31)상에 매몰 산화층(32) 및 SOI 바디 지역(33)이 순차적으로 형성되어 SOI 기판(40)을 형성한다. 상기 SOI 바디 지역(33)에 게이트(47), 소오스(48) 및 드레인(49)으로 구성된 트랜지스터(50)가 형성되고, 트랜지스터(50) 양측부의 SOI 바디 지역(33)내에 소자분리 영역(34)이 형성된다. 상기 소자분리 영역(34)에 들러쌓이면서 SOI 바디 지역(33)과 실리콘 기판(31)을 동시에 콘택트하는 바디/기판 콘택트(35)를 형성한다.

상기에서, 바디/기판 콘택트(35)이 접하는 실리콘 기판(31)에 콘택트의 저항을 줄이기 위한 확산층(36)을 형성할 수 있다. 소자분리 영역(34)은 웰로우 트렌치(STI: Shallow Trench Isolation) 구조로 형성하거

나, 로커스(LOCOS; Local Oxidation) 구조, 또는 메사(mesa) 구조로 형성된다. 바디/기판 콘택트(35)내에 풀리실리콘이나 에피층이 형성된다.

이와 같은 구조에서, 소오스 및 드레인의 확산층(36)을 매몰 산화막(32)까지 형성하여 기판 캐페시턴스를 줄이며, 슛트키 콘택트(Schottky Contact)의 형성에 따라 소수 캐리어를 축적시키지 않고 소오스 방향으로 전달시키어 기판 부유 효과를 제거하고 소자의 내압을 증가시키는 역할을 한다.

설명의 요점

상술한 바와 같이, 본 발명은 기판 부유 효과를 제거하여 SOI 소자의 내압을 증가시키고 전류 특성을 개선하는 기술로서, 로직(logic)이나 메모리 분야에서 SOI막 두께와 균일성에 크게 의존하지 않고 SOI 소자를 형성할 수 있어 산업상 이용이 기대되며, 또한 종래의 CMOS 공정 기술로도 제작이 가능하므로 대량 생산이 가능하다.

(57) 청구의 범위

청구항 1. 실리콘 기판, 매몰 산화층 및 에스오아이(SOI) 바디 지역으로 이루어진 에스오아이 기판이 제공되고, 상기 에스오아이 바디 지역에 게이트, 소오스 및 드레인으로 구성된 트랜지스터;

상기 트랜지스터 양측의 상기 에스오아이 바디 지역내에 형성된 소자분리 영역; 및

상기 소자분리 영역 부분에 상기 실리콘 기판과 상기 에스오아이 바디 지역을 동시에 콘택트하도록 형성된 바디/기판 콘택트를 포함하여 구성된 것을 특징으로 하는 에스오아이 소자.

청구항 2. 제 1 항에 있어서,

상기 바디/기판 콘택트는 상기 소자분리 영역 부분에 일부분이 감싸도록 형성된 구조인 것을 특징으로 하는 에스오아이 소자.

청구항 3. 제 1 항에 있어서,

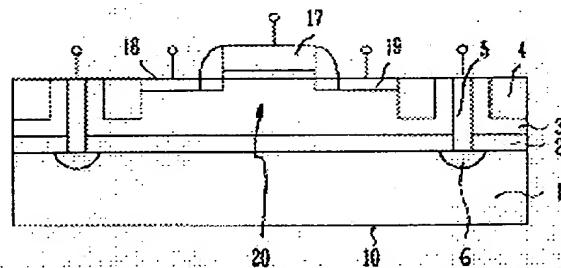
상기 바디/기판 콘택트는 상기 소자분리 영역 부분에서 일정 거리 이격된 위치에 형성된 구조인 것을 특징으로 하는 에스오아이 소자.

청구항 4. 제 1 항에 있어서,

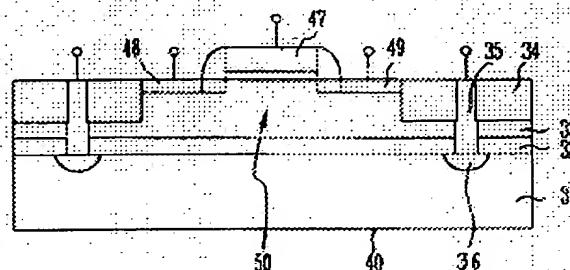
상기 바디/기판 콘택트는 상기 실리콘 기판과 접하는 부분의 상기 실리콘 기판에 확산층이 형성된 구조인 것을 특징으로 하는 에스오아이 소자.

도면

도면 1



도면 2



THIS PAGE BLANK (USPTO)